

공고특허96-015842

(19)대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl. ⁶
H04B 1/12

(45) 공고일자 1996년11월22일
(11) 공고번호 96-015842
(24) 등록일자

(21) 출원번호	특1994-0017001	(65) 공개번호	특1996-0006320
(22) 출원일자	1994년07월14일	(43) 공개일자	1996년02월23일
(73) 특허권자	경기도 수원시 팔달구 매탄동 416번지		
(72) 발명자	김제우 경기도 수원시 팔달구 매탄동 현대아파트 104-1502 박종현		
(74) 대리인	이건주		

심사관 : 강홍정 (특자공보 제4732호)

(54) 적응 임계치를 이용한 외사접합 코드 동기장치

요약

내용없음.

대표도

51

명세서

[발명의 명칭]

적응 임계치를 이용한 의사잡음 코드 동기장치

[도면의 간단한 설명]

제1도는 종래 PN코드 동기장치의 블록 구성도.

제2도 본 발명의 일실시예에 따른 적층 임계치를 이용한 PN코드 동기장치의 블록 구성도.

제3도는 제2도의 구성종 적음 임계치 발생부(200)의 상세 구성도.

[발명의 상세한 설명]

본 발명은 대역확산 통신시스템의 수신기에 관한 것으로서, 특히 수신 의사잡음(Pseudo Noise : 이하 PN이라 함)코드와 기준 PN코드와의 코드 동기화점을 수행하는 코드 동기장치에 관한 것이다.

일반적으로 대역확산 통신시스템에서 수신기의 구조는 동기 및 비동기 구조방식으로 크게 나눌 수 있으며, 동기 비동기 수신기의 구성중 PN코드 동기화하는 수신 PN코드와 수신기내의 기준 PN코드와의 코드 동기를 확립하기 위한 것으로, 대역확산 통신시스템의 비동기 수신기에서 중요하고 또한 기술적으로 매우 어려운 부분으로 알려져 있다.

일반적인 종래 PN코딩 동기장치는 제1도에 도시된 바와 같이 구성되며, 상기 종래 PN코딩 동기장치의 초기 동기 및 동기추적과정을 살펴보면 다음과 같다.

BEST AVAILABLE COPY

PN코드 발생부(114)는 PN클럭을 입력받아 얼리(Early), 평추업(Punctual), 및 레이트(Late) PN코드를 생성출력한다.

여기서 상기 PN코드 발생부(114)의 출력중 상기 얼리 PN코드는 상기 평추업 PN코드보다 1/2칩(Chip)($\pi/2$)만큼 위상이 빠른 PN코드이며, 레이트 PN코드는 상기 평추업 PN코드보다 1/2칩($\pi/2$)만큼 위상이 지연된 PN코드이다. 즉 평추업 PN코드를 $P(t)$ 로 표현하여, 1칩(π) 구간(duration)을 T_c 라고 표현할 때 얼리, 평추업, 및 레이트 PN코드는 각각 하기 1~3식과 같이 표현될 수 있다.

얼리 PN코드= $P(t +$

$$\frac{T_c}{2}$$

).....(1)

평추업 PN코드= $P(t)$(2)

레이트 PN코드= $P(t -$

$$\frac{T_c}{2}$$

).....(3)

제1~3역확산기(105~107)는 I채널 입력신호인 I신호를 입력받으며, 상기 얼리(Early), 평추업(Punctual), 및 레이트(Late) PN코드와 각각 곱하여 각각의 상기 PN코드들로 역확산된 각각의 I신호를 출력한다.

제4~6역확산기(108~110)는 Q채널 입력신호인 Q신호를 입력받으며, 상기 얼리(Early), 평추업(Punctual), 및 레이트(Late) PN코드와 각각 곱하여 각각의 상기 PN코드들로 역확산된 각각의 Q신호를 출력한다.

상술한 I채널 입력신호인 I신호와 Q채널의 입력신호인 Q신호는 디지털 수신기에서는 일반적으로 디지털 형태의 신호이다. 그리고 상기 I신호 및 Q신호는 일반적으로 IF대역의 신호 혹은 확산신호대역의 신호일 수 있으나 본 발명에서는 확산신호대역의 신호로 설명한다.

제1~6누산복제기(Accumulate & Dump)(115~120)는 상기 제1~6역확산기(105~110)의 역확산출력신호들을 입력받으며, 상기 각 입력신호들을 1실분 듀레이션 동안 각각 누적 가산하여 그 가산결과를 덤프(Dump)출력한다.

제1~6자승기(121~126)는 상기 제1~6누산복제기(115~120)의 출력신호들 각각 입력받아 자승연산하여 출력한다.

이후 얼리 가산기(127)는 I채널 얼리 자승기인 제1자승기(121) 출력과 Q채널 얼리 자승기인 제4자승기(124)의 출력을 입력받아 가산 출력하며, 평추업 가산기(128)는 I채널 평추업 자승기인 제2자승기(122)의 출력과 Q채널 평추업 자승기인 제5자승기(125)의 출력을 입력받아 가산 출력하고, 레이트 가산기(129)는 I채널 레이트 자승기인 제3자승기(123) 출력과 Q채널 레이트 자승기인 제6자승기(126)의 출력을 입력받아 가산 출력한다.

제1~3제곱근기(130~132)는 상기 제1~3가산기(127~129)의 출력을 각각 입력받아 제곱근 연산하여 각각 얼리신호, 평추업신호 및 레이트신호로 출력한다.

이때 초기 동기 여부 제어(Code aquisition control)를 위해서는 평추업신호를 이용하고 코드 트래킹 제어(Code tracking control)를 위해서는 얼리 및 레이트신호를 사용하는 것이 일반적이다. 초기 동기는 수신된 PN코드와 기준 PN코드와의 위상을 1칩 이내로 동기시키는 과정이다.

비교기(133)는 상기 제2제곱근기(131)로부터 평추업신호를 입력받아 기준 임계치와 비교하여 그 비교결과신호를 출력한다. 즉 상기 비교기(133)는 상기 평추업신호입력과 미리 설정된 기준 임계치를 비교하며, 상기 평추업신호가 상기 기준 임계치보다 작으면 초기동기가 이루어지지 않았음을 나타내는 비교결과신호를 출력한다. 이후 초기동기 제어부(135)는 상기 비교결과신호를 입력받아 초기동기가 이루어지지 않았음을 인지하고, PN클럭이 1칩만큼 느리게 발생되도록 코드검색 제어신호를 출력한다. PN클럭 제어부(137)는 상기 코드검색 제어신호를 입력받아 1칩만큼 느린 PN클럭을 생성출력한다. 따라서 PN코드 발생부(114)는 상기 PN클럭을 입력받으며, 상기 입력클럭의 속도에 대응하여 기준PN코드의 생성속도를 제어하게 된다. 이후 상술한 동작을 반복 수행하며, 초기동기가 이루어질 때까지 계속된다.

BEST AVAILABLE COPY

또한 초기동기가 이루어지면, 코드트래킹 제어부(136)는 상기 업리신호와 레이트신호입력으로부터 수신PN코드와 기준PN코드의 동기가 1칩 이내로 이루어졌음이 감지하고, 코드 동기화를 보다 정확히 맞추고 또한 수신PN코드와 기준PN코드의 동기가 1칩 이내에서 계속 유지되도록 코드 트래킹을 수행한다. 즉, 상기 제1제공근기(130)로부터 출력된 업리신호가 상기 제3제공근기(132)로부터 출력된 레이트신호보다 크면 수신된 확산신호의 위상이 기준PN코드의 위상보다 앞서 있으므로, 이에 대응하여 코드트래킹 제어부(136)는 상기 PN클럭 제어부(137)의 PN클럭을 빠르게 하여 PN코드 발생부(114)로부터 발생하는 기준PN코드를 보다 빨리 발생시켜, 수신확산신호와 동기화를 시킨다. 반대로, 상기 코드트래킹 제어부(136)는 상기 레이트신호가 상기 업리신호보다 크면 수신된 확산신호의 위상이 기준PN코드의 위상보다 뒤져있음을 나타내므로, 상기 PN클럭 제어부(137)의 PN클럭을 느리게 제어하여 상기 PN코드 발생부(114)로부터 발생하는 기준PN코드를 보다 느리게 발생하도록 하여 수신확산신호의 동기를 유지시킨다.

이후 상술한 동작에 의해 초기동기가 이루어지게 되면 데이터복조기(도시되지 않음)는 제2 및 제5누산복제기(116, 119)로부터 출력된 I채널 평추열신호와 Q채널 평추열신호를 입력받아 기저대역의 데이터를 복조하게 된다. 여기서 데이터 복조방식은 일반적으로 사용되는 BPSK, QPSK, DBPSK, DQPSK 등의 방식을 사용하게 되며, 이는 송신단의 변조방식에 따라 결정된다.

그러나 상술한 증대 PN코드 동기장치는 초기동기를 위해 평추열신호와 미리 고정된 임계치를 비교하여 초기동기여부를 판단하므로 유동적인 무선채널신호의 특성 변화에 의해 폴스 알람(false alarm)이나 폴스 트래킹 페일(false tracking fail)등과 같은 동기판단에러가 발생하며, 상기 에러들에 의해 시스템의 성능이 저하되는 문제점이 있었다.

따라서 본 발명의 목적은 무선채널 수신신호의 특성변화에 따라 임계치를 가변하여 수신신호의 안정된 PN코드동기를 이룰 수 있는 PN코드 동기장치를 제공함에 있다.

이하 본 발명의 바람직한 구성 및 동작의 일 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

제2도는 본 발명의 바람직한 일 실시예에 따른 적응 임계치를 이용한 PN코드 동기장치의 블록 구성도로서, 제1도와 동일 구성은 동일 부호로 표시하고 있다.

PN코드 발생부(114)는 PN클럭을 입력받아 업리(Early), 평추열(Punctual), 및 레이트(Late) PN코드를 생성출력한다.

제1~3역확산기(105~107)는 I채널 수신신호를 입력받으며, 상기 업리(Early), 평추열(Punctual), 및 레이트(Late) PN코드와 각각 곱하여 상기 PN코드들로 역확산된 각각의 I신호를 각각 출력한다.

제4~6역확산기(108~110)는 Q채널 수신신호를 입력받으며, 상기 업리(Early), 평추열(Punctual), 및 레이트(Late) PN코드와 각각 곱하여 상기 PN코드들로 역확산된 각각의 Q신호를 각각 출력한다.

제1~6누산복제기(115~120)는 상기 제1~6역확산기(105~110)의 역확산출력신호들을 각각 입력받으며, 상기 각 입력신호들을 1 심볼 듀레이션 동안 각각 누적 가산하여 그 가산결과를 덤프 출력한다.

제1~6자승기(121~126)는 상기 제1~6누산복제기(115~120)의 출력신호를 각각 입력받아 자승연산하여 출력한다.

업리 가산기(127)는 I채널 업리 자승기인 제1자승기(121) 출력과 Q채널 업리 자승기인 제4자승기(124)의 출력을 입력받아 가산 출력한다.

평추열 가산기(128)는 I채널 평추열 자승기인 제2자승기(122)의 출력과 Q채널 평추열 자승기인 제5자승기(125)의 출력을 입력받아 가산 출력한다.

레이트 가산기(129)는 I채널 레이트 자승기인 제3자승기(123) 출력과 Q채널 레이트 자승기인 제6자승기(126)의 출력을 입력받아 가산하여 출력한다.

제1~3제공근기(130~132)는 상기 업리, 평추열 및 레이트가산기(127~129)의 출력을 각각 입력받아 제공근 연산하여 업리신호, 평추열신호 및 레이트신호를 출력한다.

적응 임계치 발생기(200)는 상기 I채널 수신신호 및 Q채널 수신신호와 상기 평추열 PN코드를 입력받으며, 상기 수신신호들과 평추열 PN코드와의 상관(correlation) 관계를 구하고, 이에 대응하는 적응 임계치를 생성출력한다.

비교기(133)는 상기 제2제공근기(131)로부터 평추열신호와 상기 적응 임계치를 입력받으며, 두 입력신호의 크기를 비교하여 비교결

BEST AVAILABLE COPY

파신호를 생성출력한다.

초기동기 제어부(135)는 상기 비교결과파신호를 입력받으며, 상기 입력신호에 대응하여 코드검색 제어신호를 출력한다.

코드트래킹 제어부(136)는 상기 제1제공근기(130)로부터 상기 얼리신호와 상기 제3제공근기(132)로부터 상기 레이트신호를 입력받으며, 상기 두 입력신호를 비교하여 수신확산신호와 기준PN코드의 초기 동기화를 1칩 구간이내로 유지하기 위한 PN클럭 제어신호를 생성출력한다.

PN클럭 제어부(137)는 상기 코드검색 제어신호와 상기 PN클럭 제어신호를 입력받으며, 상기 두 입력신호에 따라 속도 조절되는 PN클럭을 생성출력한다.

제3도는 상술한 제2도의 구성중 적응 임계치 발생부(200)의 상세 블록구성도로서 다음과 같은 구성을 가진다.

제1지연기(306)는 상기 PN코드 발생부(114)로부터 평추열 PN코드를 입력받아 2칩 구간 지연하여 출력한다.

제2지연기(307)는 상기 제1지연기(306)로부터 2칩 구간 지연된 상기 평추열 PN코드를 입력받아 다시 2칩 구간 지연하여 출력한다.

제1승산기(310)는 I채널 수신신호와 상기 제1지연기(306)의 평추열 PN코드출력을 입력받아 곱셈연산하여 출력한다.

제2승산기(311)는 I채널 수신신호와 상기 제2지연기(308)의 평추열 PN코드출력을 입력받아 곱셈연산하여 출력한다.

제3승산기(312)는 Q채널 수신신호와 상기 제1지연기(306)의 평추열 PN코드출력을 입력받아 곱셈연산하여 출력한다.

제4승산기(313)는 Q채널 수신신호와 상기 제2지연기(308)의 평추열 PN코드출력을 입력받아 곱셈연산하여 출력한다.

제7~10누산복제기(314~317)는 상기 제1~4승산기(310~313)의 출력신호를 각각 입력받아 1심플 듀레이션 동안 각각 누적 가산하여 그 가산결과를 덤프(Dump)출력한다.

제7~10자승기(318~321)는 상기 제7~10누산복제기(314~317)의 출력신호를 입력받아 자승연산하여 출력한다.

제7~10제공근기(322~325)는 상기 제7~10자승기(318~321)의 출력신호를 입력받아 제공근 연산하여 출력한다.

제1가산기(326)는 상기 제1 및 제3제공근기(322, 324)의 출력신호를 입력받으며, 상기 두 입력신호를 가산하여 출력한다.

제2가산기(327)는 상기 제2 및 제4제공근기(323, 325)의 출력신호를 입력받으며, 상기 두 입력신호를 가산하여 출력한다.

최소값 선택기(330)는 상기 제1 및 제2가산기(326, 327)를 입력받으며, 상기 두 입력신호값중 보다 작은 값을 선택 출력한다.

제1감산기(334)는 소정 계수 "1"과 소정 포갯팅계수(Forgetting factor) k를 입력받으며, 상기 두 입력 신호의 감산값 $1-k$ 를 출력한다.

제5승산기(331)는 상기 제1감산기(334)의 출력($1-k$)과 상기 최소값 선택기(330)의 출력을 입력받아 곱셈연산하여 출력한다.

제3가산기(335)는 제6승산기(336)의 출력과 상기 제5승산기(331)의 출력을 입력받으며, 상기 두 입력신호를 가산하여 출력한다.

제3지연기(337)는 상기 제3가산기(335)의 출력신호를 1칩 구간 지연시켜 출력한다.

상기 제6승산기(336)는 상기 제3지연기(337)의 출력신호와 상기 포갯팅계수 k를 입력받으며, 상기 두 입력을 곱셈연산하여 상기 제3가산기(335)로 출력한다.

제7승산기(339)는 소정 웨이팅 계수(Weighting factor) R과 상기 제3가산기(335)의 출력신호를 입력받으며, 상기 두 입력을 곱셈연산하여 최종 적응 임계치로 출력한다.

BEST AVAILABLE COPY

상술한 적응 임계치 발생부(200)의 구성에서 상기 포깅팅계수 "k"와 웨이팅 계수 "R"값은 무선환경에 따라 가변시킬 수도 있으며, 고정된 값으로 사용할 수도 있다. 또한 상기 제1, 2지연기(306, 308)는 최소 π 위상 지연 상태를 구비할 수 있으나 바람직한 실시예로 각각 2π 로 위상 지연상태를 구비한다. 더불어 제3지연기(337)도 적어도 $\pi/2$ 위상 지연상태를 구비할 수 있으나 바람직한 실시예로 π 위상 지연상태를 구비한다.

이하 상술한 제2도 및 제3도의 구성을 참조하여 본 발명의 바람직한 실시예의 동작을 상세히 살펴본다.

먼저 PN코드 발생부(114)는 PN클럭을 입력 받아 얼리, 평추얼, 및 라이트 PN코드를 생성출력한다.

제1~3역확산기(105~107)는 I채널 수신신호를 입력받으며, 상기 얼리, 평추얼, 및 라이트 PN코드와 곱하여 각각의 상기 기준 PN코드들에 의해 역확산된 I신호를 출력한다. 제4~6역확산기(108~110)는 Q채널 수신신호를 입력받으며, 상기 얼리, 평추얼, 및 라이트 PN코드와 곱하여 각각의 상기 기준 PN코드들로 역확산된 Q신호를 출력한다. 제1~6누산복제기(115~120)는 상기 제1~6역확산기(105~110)로부터 역확산출력신호들을 입력받으며, 상기 각 입력신호들을 1심볼 듀레이션 동안 각각 누적 가산하여 그 가산결과를 덤프 출력한다. 제1~6자승기(121~126)는 상기 제1~6누산복제기(115~120)의 출력신호를 각각 입력받아 자승연산하여 출력한다.

이후 얼리 가산기(127)는 I채널 얼리 자승기인 제1자승기(121) 출력과 Q채널 얼리 자승기인 제4자승기(124)의 출력을 입력받아 가산 출력하며, 평추얼 가산기(128)는 I채널 평추얼 자승기인 제2자승기(122)의 출력과 Q채널 평추얼 자승기인 제5자승기(125)의 출력을 입력받아 가산 출력하고, 라이트 가산기(129)는 I채널 라이트 자승기인 제3자승기(123) 출력과 Q채널 라이트 자승기인 제6자승기(126)의 출력을 입력받아 가산하여 출력한다. 제1~3제곱근기(130~312)는 상기 제1~3가산기(127~129)의 출력을 입력받아 제곱근 연산하여 각각 얼리신호, 평추얼신호 및 라이트신호를 출력한다.

비교기(133)는 상기 평추얼신호와 적응 임계치를 입력받으며, 상기 두 입력신호를 비교하여 그 비교결과신호를 출력한다.

이하 상기 적응 임계치의 생성과정을 제3도를 참조하여 살펴보면, 먼저 제1지연기(306)는 상기 PN코드발생부(114)로부터 평추얼 PN코드를 입력받아 2칩 구간 지연하여 출력하며, 제2지연기(307)는 상기 제1지연기(306)로부터 2칩 구간 지연된 상기 평추얼 PN코드를 입력받아 다시 2칩 구간 지연하여 출력한다.

이후 제1승산기(310)는 I채널 수신신호와 상기 제1지연기(306)의 평추얼 PN코드출력을 입력받아 곱셈연산하여 출력한다. 제2승산기(311)는 I채널 수신신호와 상기 제2지연기(308)의 평추얼 PN코드출력을 입력받아 곱셈연산하여 출력한다. 제3승산기(312)는 Q채널 수신신호와 상기 제1지연기(306)의 평추얼 PN코드출력을 입력받아 곱셈연산하여 출력한다. 제4승산기(313)는 Q채널 수신신호와 상기 제2지연기(308)의 평추얼 PN코드출력을 입력받아 곱셈연산하여 출력한다.

제7~10누산복제기(314~317)는 상기 제1~4승산기(310~313)의 출력신호를 각각 입력받아 1심볼 듀레이션 동안 각각 누적 가산하여 그 가산결과를 덤프(Dump) 출력한다.

제7~10자승기(318~321)는 상기 제7~10누산복제기(314~317)의 출력신호를 입력받아 자승연산하여 출력한다. 제7~10제곱근기(322~325)는 상기 제7~10자승기(318~321)의 출력신호를 입력받아 제곱근 연산하여 출력한다.

제1가산기(326)는 상기 제1 및 제3제곱근기(322, 324)의 출력신호를 입력받으며, 상기 두 입력신호를 가산하여 출력한다. 제2가산기(327)는 상기 제2 및 제4제곱근기(323, 325)의 출력신호를 입력받으며, 상기 두 입력신호를 가산하여 출력한다. 즉 상기 I 및 Q채널 수신신호와 제1지연기(306)출력과의 상관관계 결과인 제1 및 제3제곱근기(322, 324)의 출력은 상기 제1가산기(326)에서 더하여져 얼리성분신호를 생성하고, I 및 Q채널 수신신호와 제2지연기(308)출력과의 상관관계 결과인 제2 및 제4제곱근기(323, 325)출력은 제2가산기(327)에서 가산되어 라이트 성분신호를 생성한다.

이후 최소값 선택기(330)는 상기 제1 및 제2가산기(326, 327)로부터의 입력신호 값중 보다 작은 값을 선택하여 출력한다. 즉 제1가산기(326)출력을 "E", 제2가산기의 출력을 "L"이라 하면 최소값 선택기(330)는 상기 "E" 및 "L"중 최소값(min(E, L))을 선택하여 출력한다.

상기 최소값 선택기(330)의 출력은 제5승산기(331)에서 $(1-k)$ 의 값과 곱해지게 되는데, 여기서 상기 k는 포깅팅 계수이다. 상기 포깅팅 계수 k는 제1가산기(334)에서 "1"과의 차이를 구하게 되고 $(1-k)$ 값은 제11승산기(331)에서 상기 최소값 선택기(330)의 출력과 곱하여진다. 또한 상기 포깅팅 계수 k는 제6승산기(336)에서 제3지연기(337)출력과 곱셈연산되어 출력된다.

제3가산기(335)는 상기 제6승산기(336)의 출력과 상기 제5승산기(331)의 출력을 입력받으며, 상기 두 입력신호를 가산하여 출력한다.

다. 제3지연기(337)는 상기 제3가산기(335)의 출력신호를 1칩 구간 지연시켜 출력한다. 즉 상기 제3가산기(335)의 출력은 제3지연기(337)에서 심볼 디레이션 혹은 상관범위만큼 지연된다. 이후 제7승산기(339)는 웨이팅 계수 R과 상기 제3가산기(335)의 출력신호를 입력받으며, 상기 두 입력을 곱셈연산하여 최종 적응 임계치로 출력한다.

이상에서 살펴본 적응 임계치 발생부(200)의 구성 및 동작중 최소값 선택기(330)에서 적응 임계치 출력까지의 과정을 수식으로 기술하면 다음과 같다.

n번째 심볼에서 제3가산기(335)의 출력신호를 $y(n)$ 으로 표시하고, 적응 임계치를 $THR(n)$ 으로 정의하면, 상기 제3가산기(335)의 출력신호와 적응 임계치는 하기 식과 같이 나타낼 수 있다.

$$y(n) = (1 - k) \cdot \min(E, L) + k \cdot y(n-1) \dots \dots \dots (4)$$

$$THR(n) = R \cdot y(n) \dots \dots \dots (5)$$

상기 식에서 $\min(E, L)$ 은 "E"와 "L"값중 최소값을 선택하는 연산자이고, 포깅팅 계수 "k" 및 웨이트 계수 "R"는 고정된 값 혹은 가변적일 수 있다.

이하 다시 제2도를 참조하여 본 발명의 일실시예를 설명하면, 비교기(133)는 제2제곱근기(131)로부터의 평추열신호입력과 상기 적응 임계치 발생부(200)로부터의 적응 임계치를 비교하여 상기 평추열신호가 적응 임계치보다 작으면 초기동기가 이루어지지 않았음을 비교결과신호로 출력한다.

이후 초기동기 제어부(135)는 상기 비교결과신호를 입력받아 초기동기가 이루어지지 않았음을 인지하고, PN클럭이 1칩 만큼 느리게 발생되도록 코드검색 제어신호를 출력하며, PN클럭 제어부(137)는 상기 코드검색 제어신호를 입력받아 1칩 만큼 느린 PN클럭을 생성출력한다. 따라서 PN코드 발생부(114)는 상기 PN클럭을 입력받으며, 상기 입력코드의 속도에 대응하여 기준PN코드의 생성속도를 제어하게 된다. 이후 상술한 동작을 반복 수행하여 초기동기가 이루어질 때까지 계속된다.

또한 초기동기가 이루어지면, 코드트래킹 제어부(136)는 상기 얼리신호와 레이트신호로부터 수신PN코드와 기준PN코드의 동기가 1칩 이내로 이루어졌음이 감지하고, 코드동기를 보다 정확히 맞추기 위해, 또한 수신된 확산신호와 기준PN코드의 동기가 1칩 이내에서 계속 유지시키기 위해, 코드 트래킹을 수행한다.

즉, 상기 제1제곱근기(130)로부터 출력된 얼리신호가 상기 제3제곱근기(132)로부터 출력된 레이트신호보다 크면 수신된 확산신호의 위상이 기준PN코드의 위상보다 앞서 있으므로, 이에 대응하여 상기 PN클럭 제어부(137)의 PN클럭을 빠르게하여 PN코드 발생부(114)로부터 발생하는 기준PN코드를 보다 빨리 발생시켜 수신확산신호와 동기를 유지하도록 한다. 반대로 상기 레이트신호가 상기 얼리신호보다 크면 수신된 확산신호의 위상이 기준PN코드의 위상보다 뒤지게 되어 상기 PN클럭 제어부(137)의 PN클럭을 느리게하여 PN코드 발생부(114)로부터 발생하는 기준PN코드를 보다 느리게 발생하도록 하여 수신확산신호의 동기를 유지하도록 하게 된다.

상술한 바와 같이 본 발명은 대역확산 통신시스템의 수신기에서 수신확산신호와 기준PN코드와의 상관을 구하고, 그 결과를 소정 웨이트 계수 및 포깅팅 계수를 이용하여 수신신호의 특성변화에 적응적인 임계치를 구하여 코드 동기를 수행하므로 폴스 알람이나 폴스 트래킹 페일 등의 동기판단에러발생을 방지할 수 있다. 또한 본 발명은 상술한 바와 같이 동기판단에러발생을 방지하므로 대역확산 통신시스템 수신기에서 가장 중요한 코드 동기부의 성능을 크게 향상시킨다.

(57) 청구의 범위

청구항1

대역확산 통신시스템의 수신기에 있어서 : 소정 PN클럭을 입력받아 제1PN코드와, 상기 제1PN코드보다 $\pi/2$ 위상 빠른 제2PN코드와, 상기 제1PN코드보다 $\pi/2$ 위상 지연된 제3PN코드를 생성출력하는 PN코드 발생수단과; 소정 전송로를 통해 1채널 수신신호 및 Q채널 수신신호를 입력받아 상기 제1, 제2, 제3PN코드와 곱하여 상기 PN코드들에 의해 각각 역확산된 제1, 제2, 제3채널역확산신호 및 제1, 제2, 제3Q채널역확산신호를 출력하는 제1역확산수단과; 상기 제1역확산수단으로부터 상기 역확산신호들을 입력받으며, 상기 각 입력신호들을 1심볼 디레이션 동안 각각 누적 가산하여 그 가산결과를 제1~3채널 덤프신호 및 제1~3Q채널 덤프신호로 각각 덤프 출력하는 제1누산복제수단과; 상기 제1누산복제수단의 덤프출력신호들을 입력받아 각각 자승연산하여 제1~3채널 자승신호 및 제1~3Q채널 자승신호로 출력하는 제1곱셈수단과; 상기 제1곱셈수단의 출력신호들을 입력받으며, 상기 입력신호중 제1채널 자승신호와 제1Q채널 자승신호를 가산하여 제1가산신호로 출력하고, 상기 입력신호중 제2채널 자승신호와 제2Q채널 자승신호를 가산하여 제2가산신호로 출력하며, 상기 입력신호중 제3채널 자승신호와 제3Q채널 자승신호를 가산하여 제3가산신호로 각각 출력하는 제1가산수단과; 상기 제1~3가산신호를 입력받으며, 각각의 입력신호들을 제곱근 연산하여 제1~3연산신호로 출력하는 제1제곱근 연산수단과; 상기 1채널 수신신호 및 Q채널 수신신호와 상기 제1PN코드를 입력받으며, 상기 수신신호들과 상기 제1PN코드와의 상관관계를 구하고, 이에 대응하는 적응 임계치를 생성출력하는 적응 임계치 발생수단과; 상기 제1연산신호와 상기 적응 임계치를 입력받으며, 두 입력신호의 크기를 비교하고 비교결과신호를 생성출력하는 비교수단과; 상기 비교결과신호를 입력받아 이에 대응하여 초기동기를

확립하기 위한 코드검색 제어신호를 출력하는 초기동기 제어수단과; 상기 제2연산신호 및 제3연산신호를 입력받으며, 상기 두 입력신호를 비교하고 상기 비교결과에 대응하여 상기 I, Q채널 수신신호와 상기 제1~3PN코드들과의 초기동기를 1칩 구간 이내로 유지하기 위한 PN클럭 제어신호를 생성출력하는 코드트래킹 제어수단과; 상기 코드검색 제어신호와 상기 PN클럭 제어신호를 입력받으며, 상기 두 입력신호의 제어하에 속도조절되는 PN클럭을 생성출력하는 PN클럭 제어부로 구성함을 특징으로 하는 적응 임계치를 이용한 의사잡음코드 동기장치.

청구항2

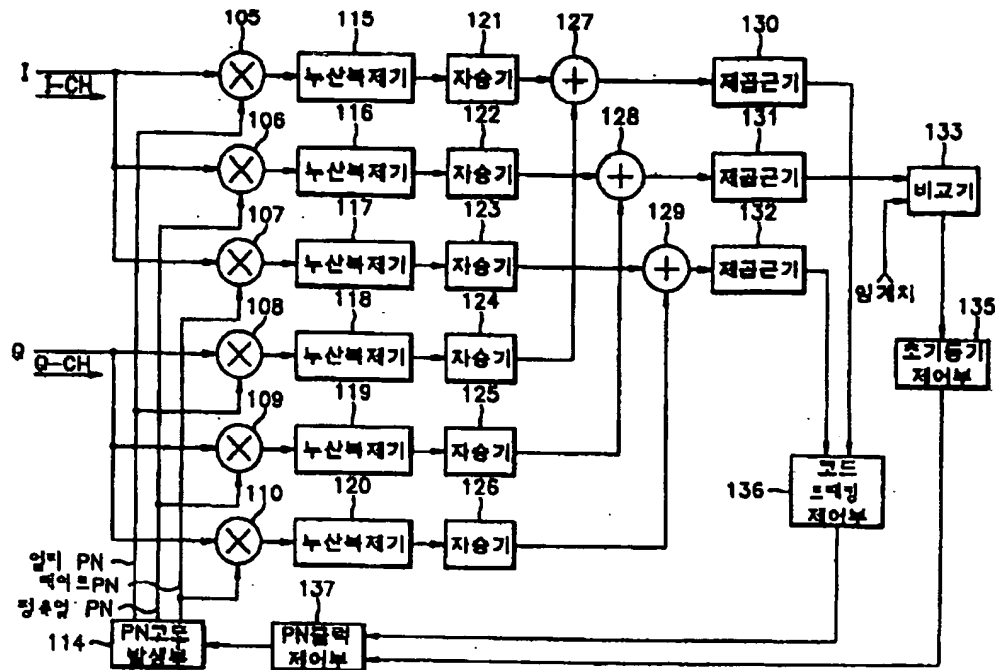
제1항에 있어서, 상기 적응 임계치 발생수단이; 상기 PN코드 발생수단으로부터 제1PN코드를 입력받아 각각 π 및 2π 이상 위상 지연된 제11 및 제12PN코드를 각각 출력하는 지연수단과, 상기 I채널 수신신호, Q채널 수신신호 및 상기 제11 및 제12PN코드를 입력받으며, 상기 I 및 Q채널 수신신호를 상기 제11 및 제12PN코드로 각각 역확산하여 제4, 5I채널 역확산신호 및 제4, 5Q채널 역확산신호로 출력하는 제2역확산수단과, 상기 제2역확산수단의 역확산신호출력을 각각 입력받아 소정 심볼 딜레이션 동안 각각 누적 가산하여 그 가산결과를 제4, 5I채널 누산신호 및 제4, 5Q채널 누산신호로 덤프출력하는 제2누산복제수단과, 상기 4, 5I채널 누산신호 및 제4, 5Q채널 누산신호들을 입력받아 각각 제곱 연산하여 제4, 5I채널 제곱신호 및 제4, 5Q채널 제곱신호로 출력하는 승산수단과, 상기 제4, 5I채널 제곱신호 및 제4, 5Q채널 제곱신호를 입력받아 각각 제곱근 연산하여 제4, 5I채널 제곱근신호 및 제4, 5Q채널 제곱근신호로 출력하는 제2제곱근 연산수단과, 상기 제4, 5I채널 제곱근신호 및 제4, 5Q채널 제곱근신호를 입력받으며, 상기 제4I채널 제곱근신호와 제4Q채널 제곱근신호를 가산하여 제1가산신호로 출력하고, 상기 제5I채널 제곱근신호와 제5Q채널 제곱근신호를 가산하여 제2가산신호로 출력하는 제2가산수단과, 상기 제1 및 제2가산신호를 입력받아, 상기 두 입력신호값중 보다 작은 값을 선택하여 최소값으로 출력하는 최소값 출력수단과, 소정 포깅팅 계수 및 고정 계수값 1을 구비하고 상기 최소값을 입력받으며, 상기 계수값 1로부터의 포깅팅 계수 감산값을 구하여 상기 최소값과 곱셈연산하여 제1곱셈값을 연산하고, 최종 출력값의 적어도 $\pi/2$ 이상의 위상 지연값과 상기 포깅팅 계수를 곱셈연산하여 제2곱셈값을 연산한 후, 상기 제1곱셈값과 상기 제2곱셈값의 가산결과를 최종 출력하는 제1적응 임계치 연산수단과, 소정 웨이트 계수를 구비하며, 상기 제1적응 임계치 연산수단의 최종 출력값을 입력받아 상기 웨이트 계수와 곱하여 그 곱셈연산값을 적응 임계치로 출력하는 제2적응 임계치 연산수단으로 구성함을 특징으로 하는 적응 임계치를 이용한 의사잡음코드 동기장치.

청구항3

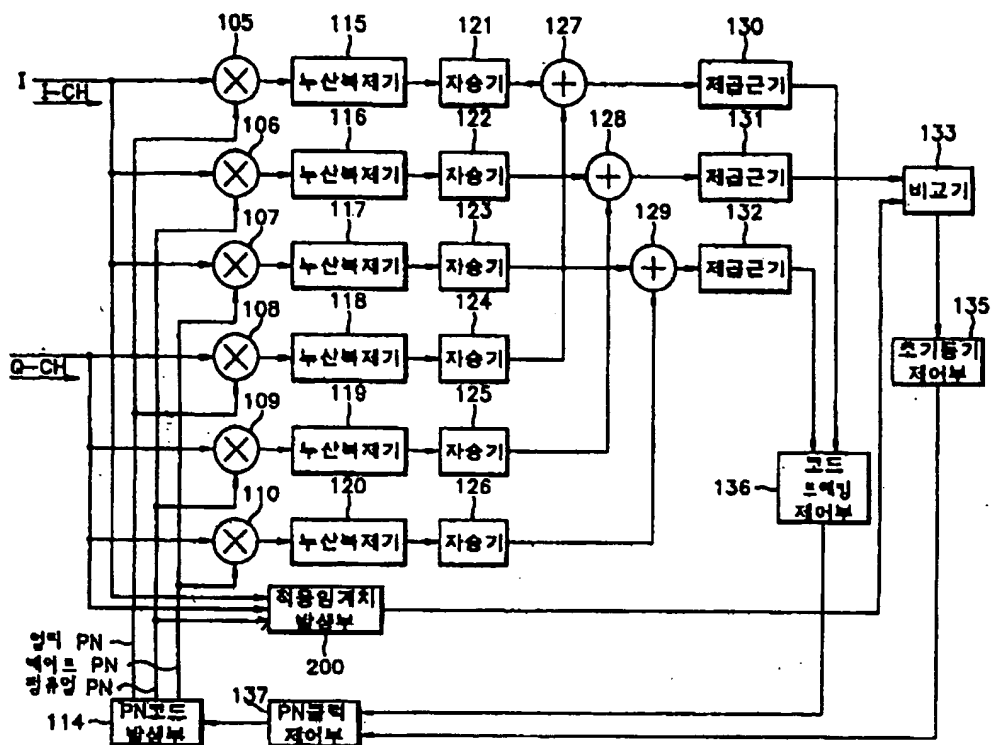
제1항에 있어서, 상기 제1역확산수단이; I채널 수신신호를 입력받아 상기 제1, 제2, 제3PN코드와 곱하여 상기 PN코드들에 의해 각각 역확산된 제1, 제2, 제3채널 역확산신호로 출력하는 I채널 역확산수단과, Q채널 수신신호를 입력받아 상기 제1, 제2, 제3PN코드와 곱하여 상기 PN코드들에 의해 각각 역확산된 제1, 제2, 제3채널 역확산신호로 출력하는 Q채널 역확산수단으로 구성함을 특징으로 하는 적응 임계치를 이용한 의사잡음 코드 동기장치.

도면

도면1



도면2



도면3

